

3121N-IEE

PLC 通信模块硬件规格书



3121N-IEE 模块规格书

办公室: 中国深圳市宝安区固戍航城大道骏翔 u8 智造产业园 U6 栋

工厂: 中国湖南省长沙市浏阳经开区利通路 8 号

TEL: +86-755-2955-8186

Website: www.fn-link.com

客户批准: _____ 公司

_____ 标题

_____ 签名

_____ 日期

_____ 欧智通

修订历史

版本	日期	修订内容	拟定	核准
1.0	2020/12/09	首版发布	Wesley	Stone
2.0	2021/01/27	更新模组&排针图面，增加实物照片	Wesley	Stone

目录

1 概述	4
1.1 介绍	4
1.2 特性	4
1.3 通用规格	5
1.4 推荐工作条件	5
2 模组尺寸和引脚定义	6
2.1 模组外观	6
2.2 模组尺寸和引脚框图	6
2.3 引脚定义	7
2.4 排针参考规格	8
3 硬件设计说明	9
3.1 直流输入电源要求	9
3.2 AC220 电源的设计建议	9
3.3 CCO 和 STA 典型组网示意图	10
4 模组关键物料清单	11
5 订购信息	11
6 包装信息	11

1 概述

1.1 介绍

- 3121N-IEE 是一款全集成的电力载波 (PLC) CCO 通信模块, 通过排针连接器分别提供一个弱电接口和一个强电接口。弱电接口供电源输入、UART 通信和复位信号连接; 强电接口供三相电力线 PLC 通信。模块可广泛应用于智能路灯、能源管理、智能抄表等应用场景。
- 模块尺寸和接口符合国网 QGDW 1375.2-2019 标准。
- 模块基于海思 Hi3921EV100 芯片, 集成高速/低速多模电力线载波通讯调制解调器及 ARM Cortex-M3 处理器。Hi3921EV100 芯片支持 P1901.1, 支持 OFDM/FSK 调制。
- 板载外置 Line-Driver 提高发射信号强度, 能满足客户更远距离的需求。
- 搭载华为物联网开源操作系统 LiteOS, 提供更开放的开发环境及更快捷、更安全的运行系统。

1.2 特性

CPU 和存储性能

- 海思 Hi3921E 高性能 Cortex-M3 处理器, 工作频率 200MHz
- 内嵌 SRAM 256KB
- 外挂 2MB Flash

PLC 物理层特性

- 实现 IEEE 1901.1 标准子集, 对于同样使用该子集的芯片, 能够实现互联互通
- 支持 0.5-3.7MHz 和 2.5-5.7MHz 两个频段, 频段可由软件配置。
- 采用 OFDM 技术, 支持 BPSK、QPSK 调制模式
- 支持 FEC 和 CRC 功能, 强大的去噪和纠错能力

PLC MAC 特性

- 支持 TDMA 和 CSMA/CA, 提供冲突避免机制
- 支持数据分段和重组, 提高传输效率
- 支持数据重传机制
- 支持 4 级 QoS, 满足不同业务服务质量需求

PLC 组网特性

- 支持自动快速组网, 典型 200 规模、2 层级网络的场景 10s 完成快速组网, 支持快速通信
- 支持动态路由, 多路径寻址

其他接口

- UART

通信指标

- 物理层峰值速率 0.507Mbit/s，应用层速率 80Kbps
- 接收灵敏度优于 0.2mVpp

功耗及其他

- 静态功耗 ≤ 1W（组网不发包）
- 动态运行功率 ≤ 1.5W
- 工作环境温度范围：-40℃ ~ +85℃
- 存储温度范围：-40° C to 125° C

1.3 通用规格

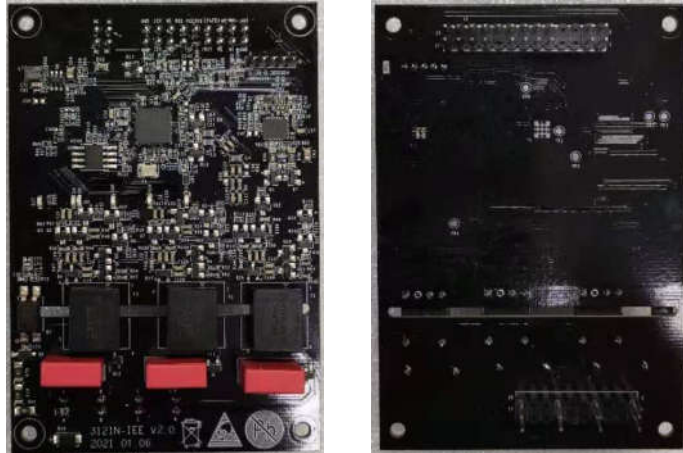
模块名称	3121N-IEE
主 IC	海思 Hi3921EV100
主要接口	PLC, UART
通信方式	电力线载波通信，支持 P1901.1，支持 OFDM/FSK 调制
PCB 尺寸	L x W : 92.8*63.8

1.4 推荐工作条件

工作电压	12Vdc ±3%
工作温度	-40°C to +85°C
存储温度	-40°C to +125°C

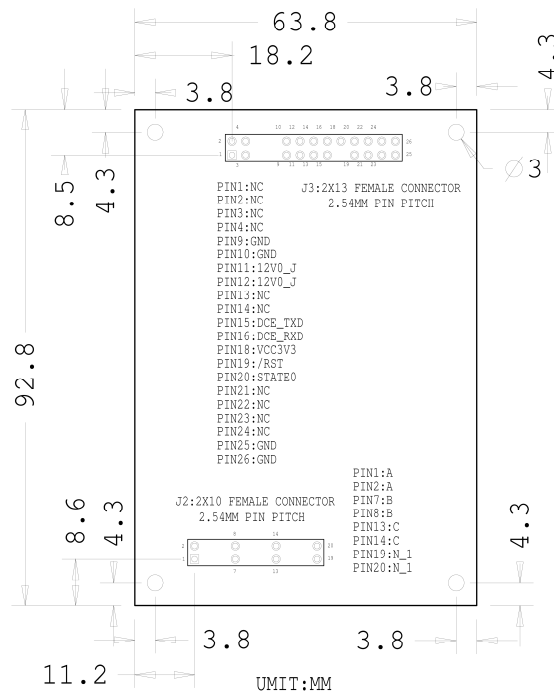
2 模组尺寸和引脚定义

2.1 模组外观



2.2 模组尺寸和引脚框图

<Top View>



备注：排针位于模组 Bottom 面，如上尺寸图为 Top 面正视图。

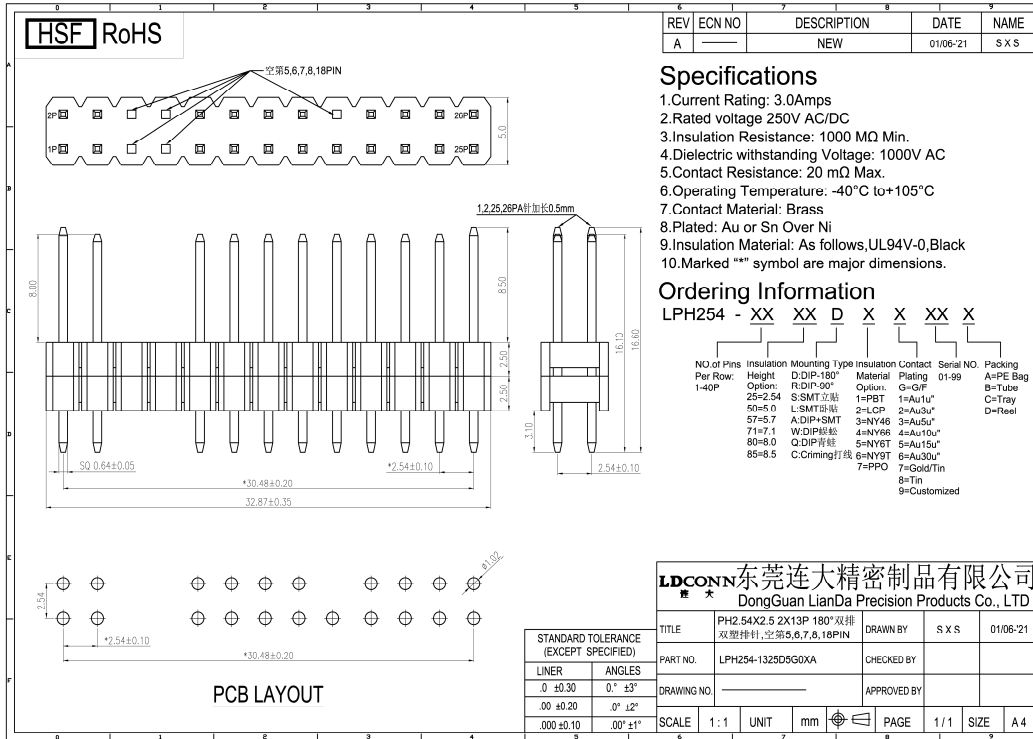
2.3 引脚定义

J1 Interface (13x2 pin 排针, 2.54mm pitch), 弱电接口		
引脚编号	引脚名称	引脚说明
1-4	NC	管脚悬空, 无连接
5-8	NC	空引脚, 无焊盘, 连接器对应位置无插针
9-10	GND	参考地(直流侧)
11-12	12V0_J	直流 12V 电源输入
13-14	NC	管脚悬空, 无连接
15	DCE_TXD	业务串口数据发送, 3.3V 电平
16	DCE_RXD	业务串口数据接收, 3.3V 电平
7	NC	空引脚, 无焊盘, 连接器对应位置无插针
18	VCC3V3	管脚悬空, 无连接
19	/RST	复位输入, 低有效, 3.3V 电平
20	STATE0	模块插入识别信号, 1 表示模块未插入, 0 表示模块插入
21-24	NC	管脚悬空, 无连接
25-26	GND	参考地(直流侧)

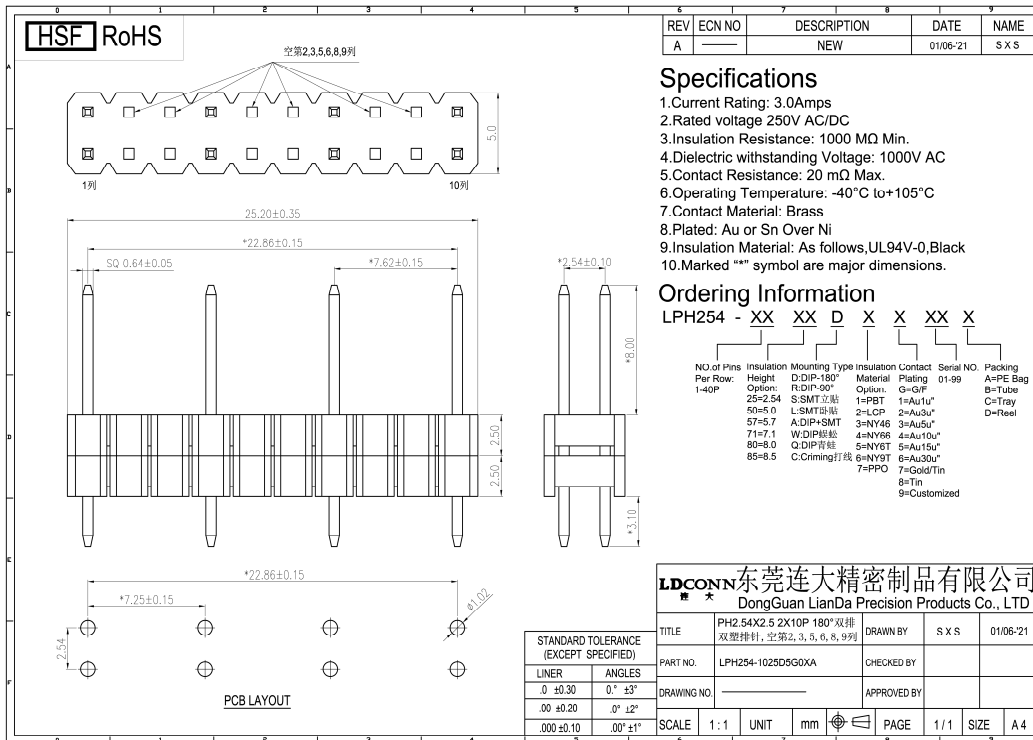
J2 Interface (10x2 pin 排针, 2.54mm pitch), 强电接口		
引脚编号	引脚名称	引脚说明
1-2	A	电网 A 相线载波输入
3-6	NC	无连接, 维持安全间距, 提高绝缘性能
7-8	B	电网 B 相线载波输入
9-12	NC	无连接, 维持安全间距, 提高绝缘性能
13-14	C	电网 C 相线载波输入
15-18	NC	无连接, 维持安全间距, 提高绝缘性能
19-20	N	电网零线载波输入

2.4 排针参考规格

弱电插针: 13x2pin, pitch 2.54mm



强电插针: 10x2pin, pitch 2.54mm



3 硬件设计说明

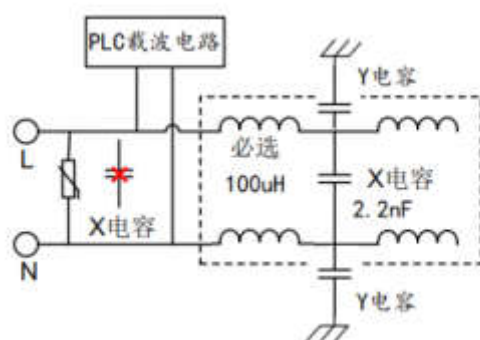
3.1 直流输入电源要求

	Min.	Typ.	Max.	Unit
额定直流输入电压	11.64	12	12.36	V

- 主板排针 12V 电源引脚处，就近放置一个 22 μ F, 0.1 μ F 对地储能电容，降低电源纹波，纹波峰峰值 720mVpp 以内。
- 模组 12V 电路至少保障 120mA 及以上电流需求。

3.2 AC220 电源的设计建议

整机产品中，AC220V 入口端，除有 PLC 电路部分外，还有与 PLC 存在电气联系的其他电路部分，其设计是否合理将影响电力载波通信。

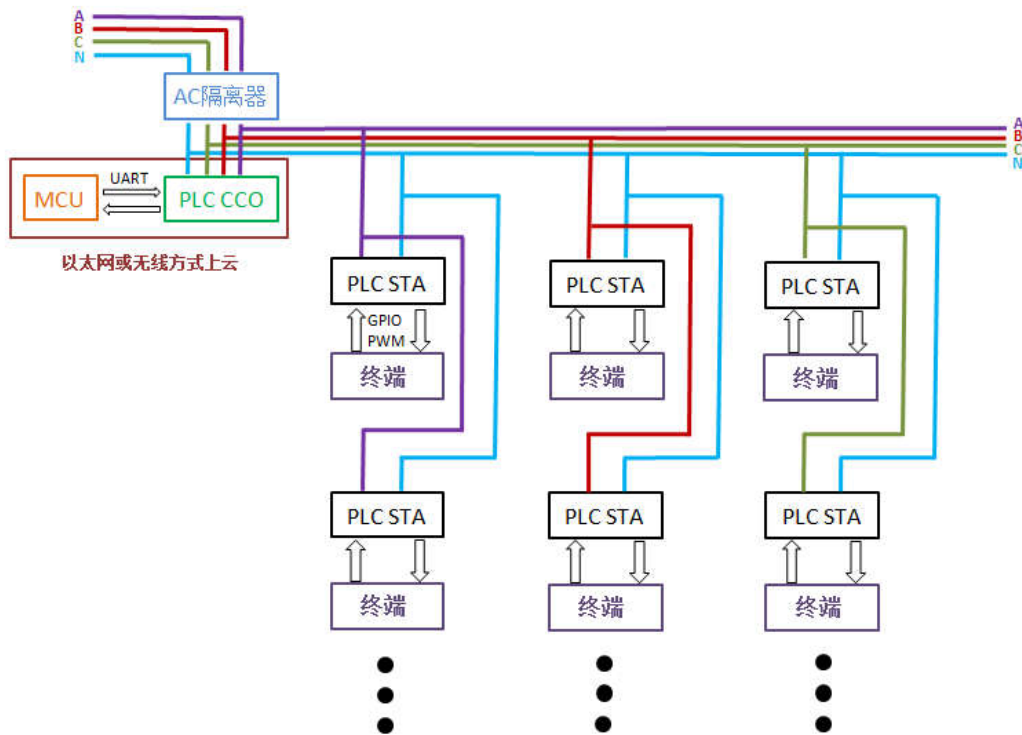


设计建议要点：

- 当 ACDC 电源接入电力线后，如果 CCO 和一级 STA(PCO) 之间的距离 < 50m，电力线上 500kHz~6MHz 的噪声功率 < -110dbm/Hz，> 50m 要求噪声功率要 < -120dbm/Hz。
- 标记“X”的部分禁止有超过 600pF 电容器件存在，减少对通信信号的衰减（多器件并联，需考虑并联电容容值总和）。
- 如果整机需要通过 X 电容降低 L-N 上的差分噪声，建议零火线分别放置 100 μ H 电感并将 X 电容放置在电感之后，这样除了能够降低噪声，还能增大载波通道的阻抗，减少对 PLC 信号的衰减，同时建议容值是 2.2nF（容值越小越好）。如果需要使用 Y 电容，也请放置在电感之后（Y 电容容值越小越好，但 Y 电容对 PLC 信号的影响小于 X 电容）。
- 注意上述 X 电容前的电感不能是共模电感，PLC 信号为差模信号，共模电感无法起到隔离 X 电容衰减的作用。

- 集中器 DCDC 电源开关频率建议选择低于 1MHz，抑制带外噪声，高频带外影响限制在 10dB 以内，降低整机 EMI 超标风险，同时减少对载波通信的影响。
- 请根据整机的防护等级要求选用合适的压敏电阻以及保险丝搭配使用并考虑一定余量。压敏电阻的结电容越小越好，L-N 并联电容总和不超过 600pF。
- 压敏电阻的保护能力要涵盖 PLC 载波电路。布局布线要做到外部电源线路先经过压敏电阻，再给 PLC 载波电路和其他电路供电。
- 安装模组时，注意强电保持与 PLC 模组弱电端的安规间隙要求。
- PLC 载波电路的 RX 通道，特别是滤波器、耦合线圈部分也容易吸收空间电磁辐射干扰，恶化单板底噪，降低 PLC 接收性能。在安装模组时，注意干扰源电路如 DCDC 要远离敏感电路。

3.3 CCO 和 STA 典型组网示意图



4 模组关键物料清单

Item	Part Name	Description	Manufacturer
1	Chipset	Hi3921EV100, QFN-56, 7*7mm	海思
2	Crystal	3225, 25MHz, 10ppm	ECEC, TKD, Hosonic, JWT, TXC
3	Flash	SPI NOR, 2MB, SOP8	MXIC, Winbond, 兆易, 芯天下
4	PCB	FR4, 2 Layer, Black	翔宇, 科翔, 顺络, 深联
5	Line Driver	HPLC 线驱, 8~32V, QFN24	TI, 韦尔

5 订购信息

Part NO.	Description
FG3121NIEE-00	Hi3921EV100, PLC SoC, 92.8*63.8mm, 三相 CCO, 插针安装

6 包装信息

包装信息待定